

99 P 2796



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 52 945 A 1**

⑤① Int. Cl.⁶:
H 04 L 7/00

⑦① Aktenzeichen: 197 52 945.3
⑦② Anmeldetag: 28. 11. 97
⑦③ Offenlegungstag: 25. 6. 98

DE 197 52 945 A 1

③⑩ Unionspriorität:
68172/1996 19. 12. 96 KR

⑦① Anmelder:
Samsung Electronics Co., Ltd., Suwon, Kyungki, KR

⑦④ Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser,
Anwaltssozietät, 80538 München

⑦② Erfinder:
Lee, Jong-Woong, Seoul, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Schaltung und Verfahren für das Steuern einer Zeitverzögerung eines Rahmensynchronsignals in einem digitalen Funkkommunikationssystem

⑤⑦ Es wird eine Schaltung für das Steuern einer Zeitverzögerung eines Rahmensynchronsignals in einem digitalen Funkkommunikationssystem, das ein Schaltzentrum für das Übertragen des Rahmensynchronsignals zu einer Vielzahl von Basisstationen umfaßt, beschrieben. Die Basisstationen liefern das empfangene Rahmensynchronsignal sofort zum Schaltzentrum zurück. Die Steuerschaltung umfaßt einen Verzögerungsdetektor für das Vergleichen des zu den Basisstationen gesandten Rahmensynchronsignals mit dem Rahmensynchronsignal, das von den Basisstationen zurück geliefert wird, um die Zeitverzögerung des Rahmensynchronsignals zu erkennen, und einen Verzögerungskompensierer für das Kompensieren der Zeitverzögerung des Rahmensynchronsignals.

DE 197 52 945 A 1

Beschreibung

HINTERGRUND DER ERFINDUNG

GEBIET DER ERFINDUNG

Die vorliegende Erfindung bezieht sich auf ein digitales Funkkommunikationssystem und insbesondere auf eine Schaltung und ein Verfahren für das Steuern einer Zeitverzögerung eines Rahmensynchronsignals gemäß einer Entfernungsdifferenz zwischen einem Schaltzentrum und einer Basisstation.

BESCHREIBUNG DES STANDES DER TECHNIK

In einem digitalen Funkkommunikationssystem empfängt jede Basisstation dasselbe Rahmensynchronsignal, das von einem Schaltzentrum gesendet wird, um einen Kanal in Erwiderung auf das empfangene Rahmensynchronsignal zu schalten. Im allgemeinen sollte die Basisstation das Rahmensynchronsignal innerhalb eines Verzögerungsfehlers von $\pm 2 \mu\text{sec}$ empfangen, um den Kanal ohne eine Unterbrechung des Rufdienstes zu schalten.

In einem digitalen Funkkommunikationssystem wird die Transferrate des Rahmensynchronsignals durch die Eigenschaften einer Übertragungsleitung bestimmt. Das heißt, das Rahmensynchronsignal unterliegt während der Übertragung einer Zeitverzögerung gemäß den Eigenschaften der Übertragungsleitung zwischen dem Schaltzentrum und der Basisstation. In anderen Worten, wenn eine Entfernung zwischen dem Schaltzentrum und der Basisstation sehr lang ist, so unterliegt das Rahmensynchronsignal, das vom Schaltzentrum zur Basisstation übertragen wird, einer erheblichen Zeitverzögerung. Während im Gegensatz dazu, wenn die Entfernung zwischen dem Schaltzentrum und der Basisstation sehr kurz ist, das Rahmensynchronsignal, das vom Schaltzentrum zur Basisstation übertragen wird, einer geringeren Zeitverzögerung unterliegt.

Im Lichte der vorhergehenden Beschreibungen sei angemerkt, daß die Zeitverzögerung des Rahmensynchronsignals von den Eigenschaften (das ist die Entfernung) der Übertragungsleitung zwischen dem Schaltzentrum und der Basisstation abhängt. Da jedoch die Basisstation das Rahmensynchronsignal innerhalb des Verzögerungsfehlers empfangen soll, um den Kanal ohne eine Unterbrechung des Rufdienstes zu schalten, kann die Entfernung zwischen dem Schaltzentrum und der Basisstation nicht unbegrenzt ausgedehnt werden. Weiterhin besteht, wenn das Rahmensynchronsignal durch die Eigenschaften der Übertragungsleitung und der sie während der Übertragung umgebenden Umwelt gestört wird, keine Möglichkeit, die Störung des Rahmensynchronsignals zu kompensieren.

ZUSAMMENFASSUNG DER ERFINDUNG

Eine Aufgabe der vorliegenden Erfindung besteht daher darin, eine Schaltung und ein Verfahren für das Erkennen einer Zeitverzögerung eines Rahmensynchronsignals, das von einem Schaltzentrum zu Basisstationen in einem digitalen Funkkommunikationssystem übertragen wird, bereitzustellen.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, eine Schaltung und ein Verfahren für das Kompensieren einer Zeitverzögerung des Rahmensynchronsignals bereitzustellen.

Um diese und andere Aufgaben zu lösen, umfaßt eine Schaltung für das Steuern einer Zeitverzögerung eines Rahmensynchronsignals in einem digitalen Funkkommunikati-

onssystem, das ein Schaltzentrum für das Übertragen des Rahmensynchronsignals zu einer Vielzahl von Basisstationen umfaßt, wobei die Basisstationen das empfangene Rahmensynchronsignal sofort zurück zum Schaltzentrum liefern, einen Verzögerungsdetektor für das Vergleichen des zu den Basisstationen übertragenen Rahmensynchronsignals mit dem Rahmensynchronsignal, das von diesen Basisstationen zurück geliefert wird, um die Zeitverzögerung des Rahmensynchronsignals zu erkennen, und einen Verzögerungskompensierer für das Kompensieren der Zeitverzögerung des Rahmensynchronsignals.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Die obigen Aufgaben und weitere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden im Lichte der folgenden detaillierten Beschreibung einer beispielhaften Ausführungsform, wenn sie zusammen mit den angefügten Zeichnungen betrachtet wird, deutlicher.

Fig. 1 ist ein schematisches Blockdiagramm eines digitalen Funkkommunikationssystems, auf das die vorliegende Erfindung anwendbar ist;

Fig. 2 ist ein schematisches Blockdiagramm einer Basisstationsschnittstelle (130) und einer Basisstation (141) von

Fig. 3 ist ein detailliertes Blockdiagramm eines Verzögerungsdetektors (130) der Fig. 2 gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung;

Fig. 4 ist ein detailliertes Blockdiagramm von Sendern (210 und 240) der Fig. 2 gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung;

Fig. 5 ist ein Zeitdiagramm der Signale, die von einem Schaltzentrum (100) und einer Basisstation (141) gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung erzeugt werden; und

Fig. 6 ist ein Blockdiagramm eines Verzögerungsdetektors (23) gemäß einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORM

Eine bevorzugte Ausführungsform der vorliegenden Erfindung wird unter Bezug auf die angefügten Zeichnungen beschrieben, in denen aus Gründen des Verständnisses gleiche oder ähnliche Bezugszeichen die gleichen Elemente in den Zeichnungen bezeichnen. Obwohl die spezielle Ausführungsform sowie die detaillierten Elemente beispielhaft definiert und im Detail beschrieben werden, um den Gegenstand der vorliegenden Erfindung zu erklären, kann die vorliegende Erfindung mit der Beschreibung der vorliegenden Erfindung von Fachleuten auch ohne diese Details implementiert werden. Zusätzlich wird eine unnötige detaillierte Beschreibung allgemein bekannter Konstruktionen hier vermieden.

Bezieht man sich auf Fig. 1, so umfaßt ein digitales Funkkommunikationssystem, auf das die vorliegende Erfindung anwendbar ist, ein Schaltzentrum 100, eine Vielzahl von Basisstationen 141-14n und ein mobiles Terminal 150, wobei die Entfernungen zwischen dem Schaltzentrum 100 und den jeweiligen Basisstationen 141-14n alle verschieden sind. Das Schaltzentrum 100 umfaßt eine Hauptsteuerung 110, einen Signalprozessor 120 und eine Basisstationsschnittstelle (BSI) 130. Die Hauptsteuerung 110 steuert den Gesamtbetrieb des Schaltzentrums 100, der Signalprozessor 120 verarbeitet Signale, die zur Basisstationsschnittstelle 130 gesendet und von ihr empfangen werden, unter der Steuerung der Hauptsteuerung 110, und die Basisstationsschnittstelle

130 bildet eine Schnittstelle für Signale, die zu den Basisstationen 141-14n gesendet und von dort empfangen werden. Das mobile Terminal 150 stellt eine Verbindung mit der am nächsten liegenden Basisstation der Basisstationen 141-14n her, um Daten für ein Telefongespräch zu senden oder zu empfangen. Ein detailliertes Blockdiagramm der Basisstationsschnittstelle 130 und der Basisstation 141 ist in Fig. 2 dargestellt.

Bezieht man sich auf die Fig. 1 und 2, so umfaßt die Basisstationsschnittstelle einen Sender 210 für das Senden/Empfangen von Daten und einem Signal, eine Steuerung 220 für das Steuern des Gesamtbetriebs der Basisstationsschnittstelle 130 und einen Verzögerungsdetektor 230 für das Erkennen einer Zeitverzögerung des Rahmensynchronsignals, das vom Schaltzentrum 100 übertragen wird. Die Basisstation 141 umfaßt einen Sender 240 für das Senden/Empfangen von Daten und eines Signals, eine Steuerung 250 für das Steuern eines Gesamtbetriebs der Basisstation 141 und einen Verzögerungskompensierer für ein Kompensieren der Zeitverzögerung des Rahmensynchronsignals.

Bezieht man sich auf Fig. 3, so umfaßt die Verzögerungsschaltung 230 gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung einen Zähler 302, einen Puffer 304 und einen Vergleichler 306.

Fig. 4 zeigt ein detailliertes Blockdiagramm der Sender 210 und 240 der Fig. 2 gemäß der vorliegenden Erfindung. Wie in der Zeichnung dargestellt ist, umfaßt der Sender 210 einen Master 410 und einen Slave 420. Der Sender 240 umfaßt einen Slave 430 und einen Master 440, die mit dem Master 410 beziehungsweise dem Slave 420 des Senders 210 verbunden sind.

Fig. 5 ist ein Zeitdiagramm von Signalen, die vom Schaltzentrum 100 und der Basisstation 141 gemäß der vorliegenden Erfindung erzeugt werden. In der Zeichnung stellt ein Signal 500 das Rahmensynchronsignal dar, das vom Schaltzentrum 100 zur Basisstation 141 übertragen wird. Ein Signal 510 stellt ein Signal dar, das der Zähler erzeugt, um die Zeitverzögerung zwischen dem Rahmensynchronsignal, das zur Basisstation 141 übertragen wird, und einem Rahmensynchronsignal, das von der Basisstation 141 zurück geliefert wird, zu erkennen. Ein Signal 520 stellt das Rahmensynchronsignal dar, das von der Basisstation 141 zurück zum Schaltzentrum 100 geliefert wird.

Bezieht man sich auf die Fig. 1 bis 5, so umfaßt das Schaltzentrum 100 und jede der Basisstationen 141-14n die in Fig. 4 gezeigten Sender 210 beziehungsweise 240, um Signale über zwei Paare der Übertragungsleitungen zu senden/zu empfangen. Wenn das Schaltzentrum 100 Daten zur Basisstation 141 sendet, so gestattet die Steuerung 220 dem Sender 210, die Daten zur Basisstation 141 über den Master 410 zu übertragen. Dann gestattet die Steuerung 250 der Basisstation 141 dem Sender 240, die Daten, die vom Schaltzentrum 100 gesendet wurden, über den Slave 430 zu empfangen. In der Zwischenzeit gestattet, wenn die Basisstation 141 Daten zum Schaltzentrum 100 sendet, die Steuerung 250 dem Sender 240, die Daten zum Schaltzentrum 100 über den Master 440 zu senden. Dann gestattet die Steuerung 220 des Schaltzentrums 100 dem Sender 210, die Daten, die von der Basisstation 141 über den Slave 420 übertragen wurden, zu empfangen.

Es erfolgt nun eine Beschreibung, wie das Schaltzentrum 100 das Rahmensynchronsignal 500 an die Basisstation 141 über den Sender 210 überträgt. Die Steuerung 220 gestattet es dem Sender 210, das Rahmensynchronsignal an den Slave 430 der Basisstation über den Master 410 zu senden. Der Slave 430 leitet das empfangene Rahmensynchronsignal an den Master 440. Der Master 440 leitet das Rahmensynchronsignal an den Slave 420, um es zurück zum Schalt-

zentrum 100 zu liefern. Der Sender 210 sendet das Rahmensynchronsignal, das von der Basisstation 141 zurück geliefert wird, an den Verzögerungsdetektor 230. Der Verzögerungsdetektor 230 vergleicht das von der Basisstation 141 zurückgelieferte Rahmensynchronsignal mit dem Rahmensynchronsignal, das das Schaltzentrum 100 zur Basisstation 141 gesandt hat, um eine Zeitverzögerung des Rahmensynchronsignals zu erkennen. Wie in Fig. 3 dargestellt ist, umfaßt der Verzögerungsdetektor 230 gemäß einer Ausführungsform der vorliegenden Erfindung einen Zähler 302, einen Puffer 304 und den Vergleichler 306. Der Zähler 302 startet eine Zähloperation in Erwiderung auf das zur Basisstation 141 gesandte Rahmensynchronsignal, und beendet die Zähloperation in Erwiderung auf das Rahmensynchronsignal, das von der Basisstation 141 zurück geliefert wird. Der Puffer 304 speichert vorübergehend das Rahmensynchronsignal, das von der Basisstation 141 zurückgeliefert wird, und leitet es in Erwiderung auf ein von der Steuerung 220 empfangenes Steuersignal an den Vergleichler 306. Der Vergleichler 306 vergleicht das Signal 510, das vom Zähler 302 erzeugt wird, mit dem im Puffer 304 gespeicherten Rahmensynchronsignal 520, um die Zeitverzögerung des Rahmensynchronsignals zu erkennen, und versorgt die Steuerung 220 mit der erkannten Zeitverzögerungsinformation. Die Steuerung 220 gestattet dem Sender 210, die Zeitverzögerungsinformation an die Basisstation 141 zu senden. Der Master 410 überträgt die Zeitverzögerungsinformation des Rahmensynchronsignals an den Slave 430. Der Slave 430 leitet die Zeitverzögerungsinformation des empfangenen Rahmensynchronsignals an den Verzögerungskompensierer 260. Der Verzögerungskompensierer 260 verzögert oder verkürzt das empfangene Rahmensynchronsignal in Erwiderung auf die Zeitverzögerungsinformation, um eine Kompensation der Zeitverzögerung des Rahmensynchronsignals durchzuführen. Die Steuerung 250 steuert die Basisstation 141, basierend auf dem kompensierten Rahmensynchronsignal. Eine solche Operation wird wiederholt zwischen dem Schaltzentrum 100 und den jeweiligen Basisstationen 141-14n durchgeführt, um die Zeitverzögerung des Rahmensynchronsignals gemäß dem Entfernungsunterschied zwischen dem Schaltzentrum 100 und den jeweiligen Basisstationen 141-14n zu erkennen und zu kompensieren.

Fig. 6 ist ein Blockdiagramm des Verzögerungsdetektors 230 der Fig. 2 gemäß einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung. In der Zeichnung umfaßt der Verzögerungsdetektor 230 einen Zähler 600, Puffer 610 und 620 und einen Subtrahierer 630. Der Zähler 600 führt eine Zähloperation nach dem Empfang der Rahmensynchronsignale, die von den jeweiligen Basisstationen 141-14n zurückgeliefert werden, durch. Der Puffer 610 speichert einen Zählwert, den der Zähler 600 erzeugt hat, durch Durchführen der Zähloperation nach dem Empfangen des Rahmensynchronsignals, das von einer Referenzbasisstation (beispielsweise der dem Schaltzentrum 100 am nächsten liegenden Basisstation) zurück geliefert wird. Der Puffer 620 speichert einen Zählwert, den der Zähler 600 durch Durchführen der Zähloperation nach dem Empfangen des Rahmensynchronsignals, das von den bis auf die Referenzbasisstation übrigen Basisstationen zurückgeliefert wird, erzeugt hat. Der Subtrahierer 630 subtrahiert ein Signal, das vom Puffer 610 ausgegeben wird, von einem Signal, das vom Puffer 620 ausgegeben wird, um eine Signaldifferenz zwischen diesen Signalen zu erzeugen.

Nun erfolgt unter Bezug auf die Fig. 2 und 6 eine Beschreibung, wie der Verzögerungsdetektor 230 gemäß einer anderen Ausführungsform der vorliegenden Erfindung die Zeitverzögerung des Rahmensynchronsignals gemäß der Entfernung zwischen dem Schaltzentrum 100 und den je-

weiligen Basisstationen 141-14n erkennt. Der Verzögerungsdetektor 230 erkennt die Rahmensynchronsignale, die von den jeweiligen Basisstationen zurückgeliefert werden, auf der Basis der dem Schaltzentrum 100 am nächsten liegenden Basisstation (das ist die Referenzbasisstation). Wenn beispielsweise die Basisstation 141 die am nächsten liegende Basisstation ist, so speichert der Puffer 610 vorübergehend das Rahmensynchronsignal, das von der Basisstation 141 zurückgeliefert wird. In der Zwischenzeit speichert der Puffer 620 vorübergehend die Rahmensynchronsignale, die von den anderen Basisstationen 142-14n zurückgeliefert werden. Der Subtrahierer 630 erkennt eine Signaldifferenz zwischen den zurück gelieferten Rahmensynchronsignalen, die von den Puffern 610 und 620 erzeugt werden. Das heißt, der Subtrahierer 630 erkennt eine Zeitverzögerungsdifferenz zwischen dem zurückgelieferten Rahmensynchronsignal, das vom Puffer 620 erzeugt wird, und dem zurück gelieferten Rahmensynchronsignal, das vom Puffer 610 erzeugt wird. Der Subtrahierer 630 berechnet die Zeitverzögerungsdifferenzen zwischen dem Referenzzeitverzögerungswert (Ausgabe von 610) und den Zeitverzögerungswerten (Ausgabe von 620) der jeweiligen Rahmensynchronsignale und versorgt die Steuerung 220 mit den berechneten Zeitverzögerungsdifferenzen. Die Steuerung 220 gestattet dem Sender 210, die Zeitverzögerungswerte der Rahmensynchronsignale an die entsprechenden Basisstationen zu senden. Nach dem Empfangen der Verzögerungswerte verzögern die jeweiligen Basisstationen 141-14n das Rahmensynchronsignal, wenn der Verzögerungswert negativ ist, und sie verkürzen das Rahmensynchronsignal, wenn der Verzögerungswert positiv ist. In der Ausführungsform der vorliegenden Erfindung wird ein FS-Einstellwiderstand in einem CP23030 Chip verwendet, um das Rahmensynchronsignal zu verzögern oder zu verkürzen.

Wie aus den vorangegangenen Beschreibung erkenntlich wird, erkennt das digitale Funkkommunikationssystem der Erfindung die Zeitverzögerung des Rahmensynchronsignals gemäß der Entfernungsdifferenz zwischen dem Schaltzentrum und den jeweiligen Basisstationen, um eine Kompensation der Zeitverzögerung des Rahmensynchronsignals durchzuführen, um somit einen stabilen Rufdienst zu liefern, auch wenn der Kanal umgeschaltet wird.

Obwohl oben eine bevorzugte Ausführungsform der vorliegenden Erfindung detailliert beschrieben wurde, sollte es klar verständlich sein, daß Fachleute viele Variationen und/oder Modifikationen des hier dargestellten grundsätzlichen erfinderischen Konzepts erkennen mögen, die dennoch unter die Idee und den Umfang der vorliegenden Erfindung fallen, wie sie in den angefügten Ansprüchen definiert ist.

Patentansprüche

1. Schaltung für das Steuern einer Zeitverzögerung eines Rahmensynchronsignals in einem digitalen Kommunikationssystem, das ein Schaltzentrum für das Senden des Rahmensynchronsignals zu einer Vielzahl von Basisstationen umfaßt, wobei die Basisstationen das empfangene Rahmensynchronsignal sofort an das Schaltzentrum zurück liefern, wobei die Schaltung folgendes umfaßt:
einen Verzögerungsdetektor für das Vergleichen des Rahmensynchronsignals, das zu den Basisstationen gesandt wird, mit dem Rahmensynchronsignal, das von den Basisstationen zurück geliefert wird, um die Zeitverzögerung des Rahmensynchronsignals zu erkennen;
und
einen Verzögerungskompensierer für das Kompensieren der Zeitverzögerung des Rahmensynchronsignals.

2. Schaltung für das Steuerung einer Zeitverzögerung eines Rahmensynchronsignals nach Anspruch 1, wobei der Verzögerungsdetektor folgendes umfaßt:
einen Puffer für das Speichern des Rahmensynchronsignals, das von den Basisstationen zurück geliefert wird;
einen Zähler für das Starten einer Zähloperation in Erwiderung auf das Rahmensynchronsignal, das zu den Basisstationen gesandt wird, und dem Beenden der Zähloperation in Erwiderung auf das Rahmensynchronsignal, das von der Basisstation zurück geliefert wird; und
einen Vergleicher für das Vergleichen des Rahmensynchronsignals, das in dem Puffer gespeichert ist, mit einem Zählwert, der vom Zähler ausgegeben wird, um die Zeitverzögerung des Rahmensynchronsignals zu erkennen.

3. Schaltung zur Steuerung einer Zeitverzögerung eines Rahmensynchronsignals nach Anspruch 1, wobei der Verzögerungsdetektor folgendes umfaßt:
einen Zähler für das Durchführen einer Zähloperation auf das Empfangen der Rahmensynchronsignale, die von den jeweiligen Basisstationen zurückgeliefert werden;
einen ersten Puffer für das Speichern des Rahmensynchronsignals, das von einer am nächsten gelegenen Basisstation zurück geliefert wird;
einem zweiten Puffer für das Speichern von Rahmensynchronsignalen, die von den Basisstationen mit Ausnahme der am nächsten liegenden Basisstation zurückgeliefert werden; und
einen Subtrahierer für das Subtrahieren des Rahmensynchronsignals, das im ersten Puffer gespeichert ist, vom Rahmensynchronsignal, das im zweiten Puffer gespeichert ist, um dazwischen eine Signaldifferenz zu berechnen.

4. Schaltung zur Steuerung einer Zeitverzögerung eines Rahmensynchronsignals gemäß Anspruch 3, wobei der Verzögerungskompensierer das Rahmensynchronsignal verzögert, wenn die Signaldifferenz negativ ist, und das Rahmensynchronsignal verkürzt, wenn die Signaldifferenz positiv ist.

5. Verfahren zur Steuerung einer Zeitverzögerung eines Rahmensynchronsignals in einem digitalen Funkkommunikationssystem, das ein Schaltzentrum und eine Vielzahl von Basisstationen umfaßt, wobei das Verfahren folgende Schritte umfaßt:

Übertragen des Rahmensynchronsignals vom Schaltzentrum zu den Basisstationen;
Sofortiges Zurückliefern des Rahmensynchronsignals von den Basisstationen zum Schaltzentrum; und
Vergleichen des zu den Basisstationen gesandten Rahmensynchronsignals mit dem Rahmensynchronsignal, das von diesen Basisstationen zurückgeliefert wird, um die Zeitverzögerung des Rahmensynchronsignals zu erkennen.

6. Verfahren zur Steuerung einer Zeitverzögerung eines Rahmensynchronsignals gemäß Anspruch 5, wobei es weiter den Schritt der Kompensation der Zeitverzögerung des Rahmensynchronsignals umfaßt.

Hierzu 4 Seite(n) Zeichnungen

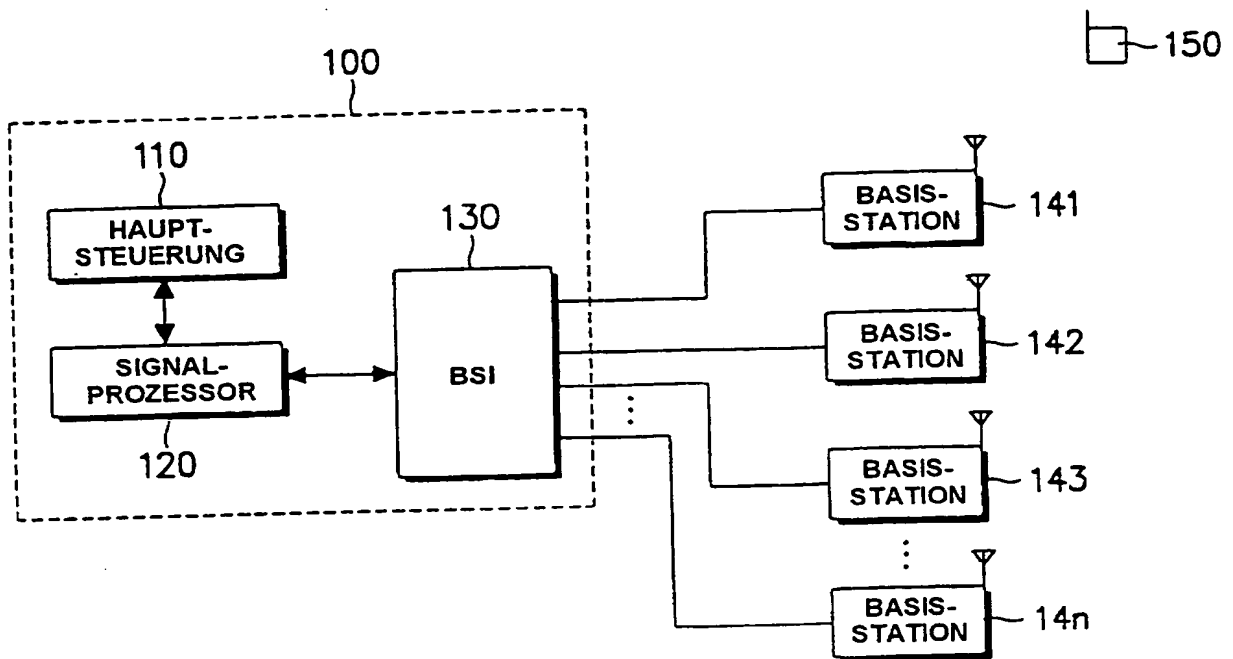


FIG. 1

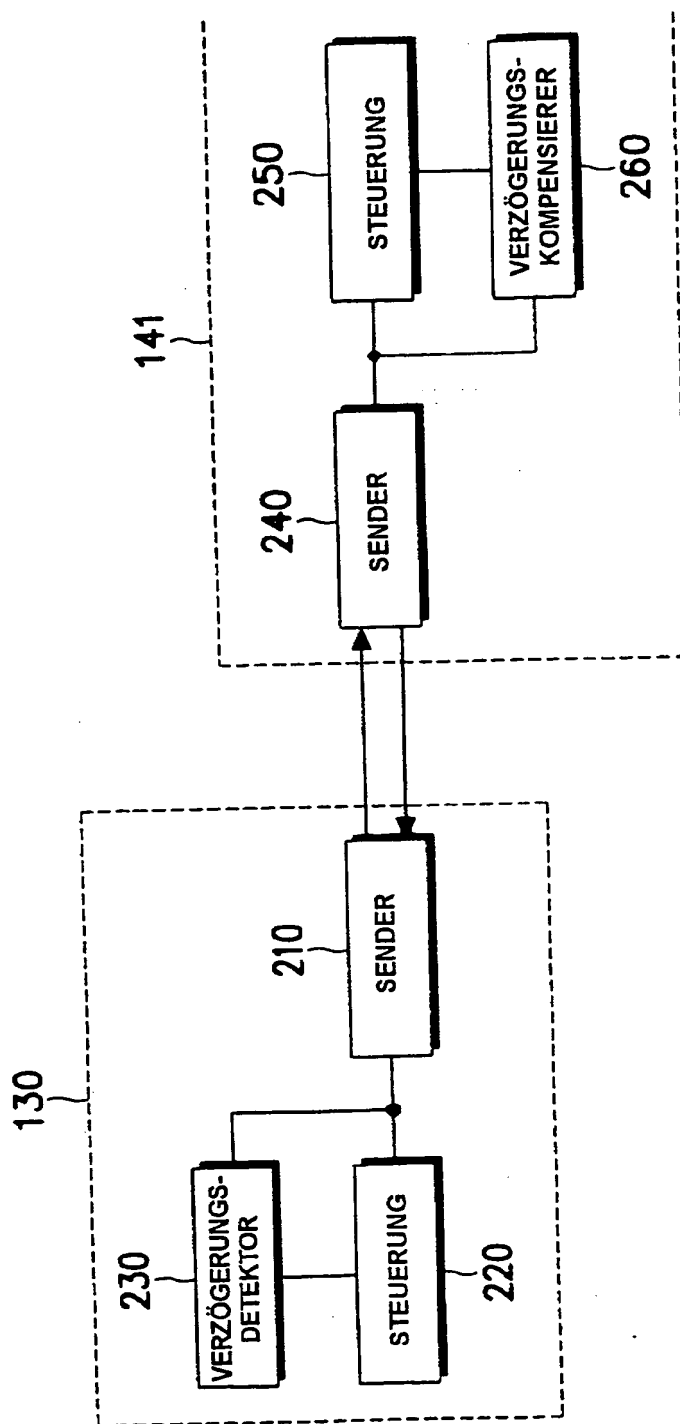


FIG. 2

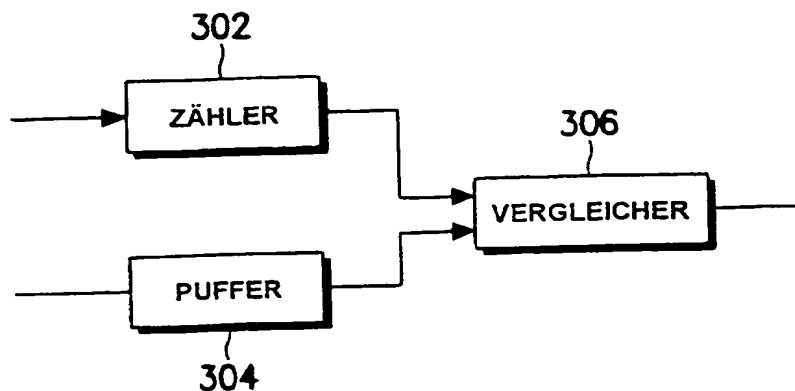


FIG. 3

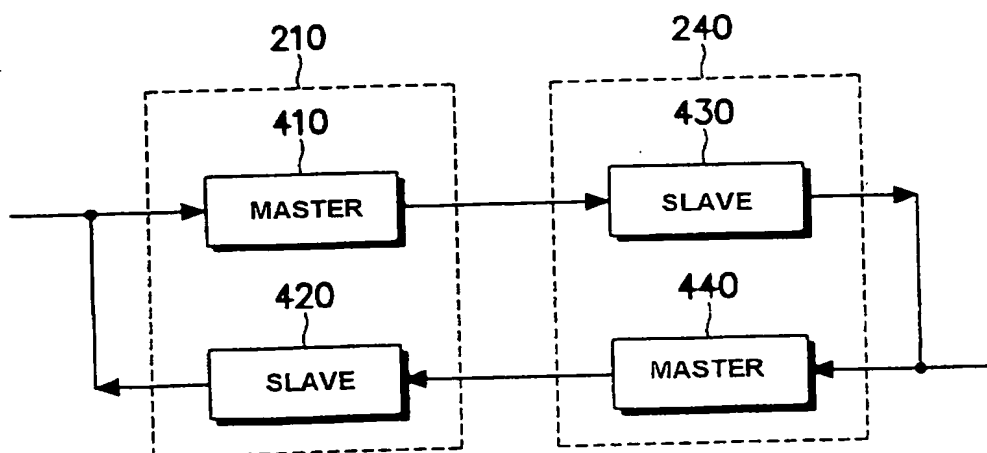


FIG. 4

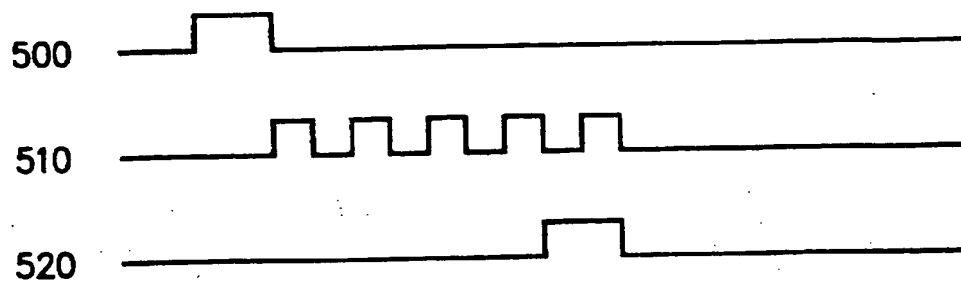


FIG. 5

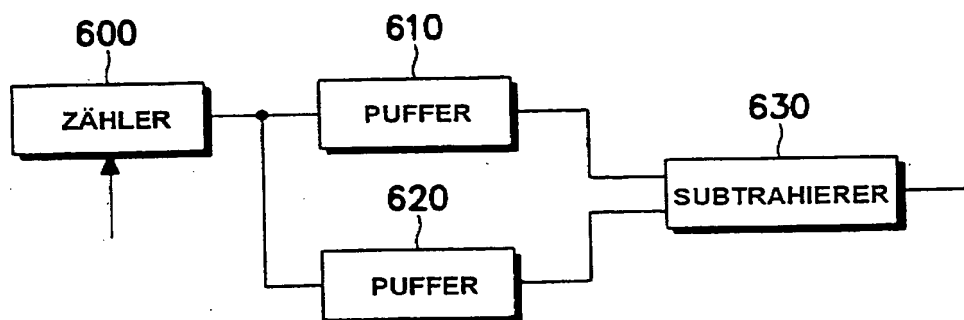


FIG. 6